

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-289776

(43)Date of publication of application : 04.10.2002

(51)Int.Cl.

H01L 27/04
H01L 21/822
G01R 31/28

(21)Application number : 2001-087702

(71)Applicant : KAWASAKI MICROELECTRONICS
KK

(22)Date of filing : 26.03.2001

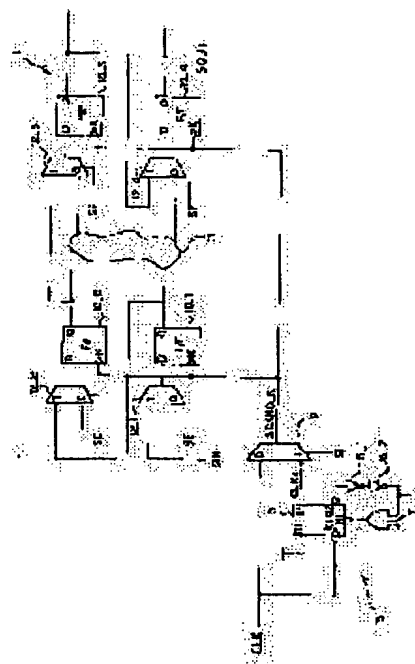
(72)Inventor : YOSHIYAMA MASAYUKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device in which a scan test circuit, which can perform a scan pass test at a substantially high speed using a low speed tester by suppressing a cost, is integrated.

SOLUTION: A time interval from a final clock pulse of clocks selected in shift mode in switching to capture mode from shift mode to a first clock pulse of clocks selected in the capture mode is made shorter than a time interval between adjacent clock pulses of clock selected in the shift mode.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-289776

(P2002-289776A)

(43) 公開日 平成14年10月4日 (2002.10.4)

(51) Int.Cl.⁷

識別記号

F I

テーム(参考)

H 0 1 L 27/04

H 0 1 L 27/04

T 2 G 1 3 2

21/822

G 0 1 R 31/28

G 5 F 0 3 8

G 0 1 R 31/28

審査請求 未請求 請求項の数 1 O L (全 8 頁)

(21) 出願番号 特願2001-87702(P2001-87702)

(22) 出願日 平成13年3月26日(2001.3.26)

(71) 出願人 501285133

川崎マイクロエレクトロニクス株式会社

千葉県千葉市美浜区中瀬一丁目3番地

(72) 発明者 吉山 正之

東京都千代田区内幸町2丁目2番3号 川

崎製鉄株式会社内

(74) 代理人 100079175

弁理士 小杉 佳男 (外1名)

Fターム(参考) 2G132 AA01 AB01 AC14 AK17 AK20

AK24 AK27 AL09

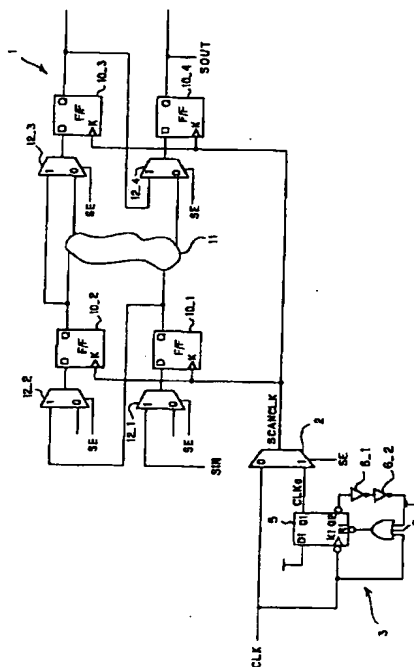
5F038 CD06 DF01 DT06 DT15 EZ20

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 コストを抑えながら、低速なテスターを用いて実質的に高速な動作速度においてスキャンパステストを実施することができる、スキャンテスト回路が組み込まれている半導体装置を提供する。

【解決手段】 シフトモードにおいて選択されたクロックの、隣接するクロックパルス間の時間間隔よりも、シフトモードからキャプチャモードへ切り換えられたときの、シフトモードにおいて選択されたクロックの最終クロックパルスから、キャプチャモードにおいて選択されたクロックの最初のクロックパルスまでの時間間隔を短縮した。



1

【特許請求の範囲】

【請求項 1】 複数のフリップフロップを有し、内部回路からの複数のデータを所定のクロックに同期してこれら複数のフリップフロップに並列に取りこむキャプチャモードと、これら複数のフリップフロップがスキャンチェーンを構成し、所定のクロックに同期してデータを順次直列に送るシフトモードとを有するスキャンテスト回路と、

外部からクロックが入力され該クロックのクロックパルスの立ち上がりと立下がりの一方を立下がりとし、立ち上りの一方とするクロックを生成するクロック生成回路と、

該クロック生成回路の入力と出力との 2 つのクロックを入力し、シフトモードとキャプチャモードとを切り換えるスキャンイネーブル信号に応じていずれか一方のクロックを選択して、前記複数のフリップフロップのクロック入力端子に供給するセクタとを備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スキャンテスト回路が組み込まれている半導体装置に関する。

【0002】

【従来の技術】従来より、半導体装置のテスト容易化手法の 1 つとしてスキャンバステスト方法が知られている。

【0003】このスキャンバステスト方法は、半導体装置に備えられた順序回路である複数のフリップフロップを、スキャン可能なシフトレジスタ構成にし（この複数のフリップフロップで構成されたシフトレジスタをスキャンチェーンと称する）、このシフトレジスタのシフトによりテストデータを内部回路に送り込み、あるいは内部のデータをこのシフトレジスタに取り込んでシフトして送り出す方法であり、これによりテストの容易化を図るものである。

【0004】図 1 は、従来の半導体装置に組み込まれているスキャンテスト回路の一部を示す図である。

【0005】図 1 に示されるスキャンテスト回路 1 は、セクタ 12__1～セクタ 12__4、およびフリップフロップ 10__1～フリップフロップ 10__4 で構成されている。本来、スキャンテスト回路は、多くのセクタおよび多くのフリップフロップにより構成されているが、ここでは、便宜上、セクタおよびフリップフロップの数をそれぞれ 4 つに絞って説明する。

【0006】また、図 1 には、このスキャンテスト回路 1 のテスト対象である内部回路 11 も示されている。

【0007】スキャンテスト回路 1 のフリップフロップ 10__1～フリップフロップ 10__4 は、クロック入力端子（図 1 では、'K' と表記する）、データ入力端子（図 1 では、'D' と表記する）、およびデータ出力端

2

子（図 1 では、'Q' と表記する）で構成されている。

【0008】スキャンテスト回路 1 のセクタ 12__1～セクタ 12__4 は、それぞれ、2 つのデータ入力端子である、端子 '0' および端子 '1'、1 つのデータ出力端子、および後述するスキャンイネーブル信号（以下、SE 信号と略記する）を入力する信号入力端子で構成されている。

【0009】セクタ 12__1 およびセクタ 12__2 の端子 '0' は図示しない内部回路に接続されている。セクタ 12__1 の端子 '1' は、後述する SIN（シリアルイン）に接続されており、セクタ 12__2 の端子 '1' はフリップフロップ 10__1 のデータ出力端子 Q に接続されている。

【0010】セクタ 12__3 およびセクタ 12__4 の端子 '0' は内部回路 11 に接続されている。

【0011】セクタ 12__1～セクタ 12__4 のデータ出力端子は、フリップフロップ 10__1～フリップフロップ 10__4 それぞれのデータ入力端子 D に接続されている。

【0012】フリップフロップ 10__1～フリップフロップ 10__4 のクロック入力端子 K には、外部からのクロックが供給される。

【0013】フリップフロップ 10__1 およびフリップフロップ 10__2 のデータ出力端子 Q は、それぞれ内部回路 11 に接続されており、フリップフロップ 10__1 のデータ出力端子 Q は、前述したようにセクタ 12__2 の端子 '1' にも接続され、フリップフロップ 10__2 のデータ出力端子 Q はセクタ 12__3 の端子 '1' にも接続されている。フリップフロップ 10__3 のデータ出力端子 Q はセクタ 12__4 の端子 '1' および図示しない内部回路に接続され、フリップフロップ 10__4 のデータ出力端子 Q は後述する SOUT（シリアルアウト）、およびフリップフロップ 10__3 のデータ出力端子 Q が接続されている図示しない内部回路にも接続されている。

【0014】スキャンテスト回路 1 は、セクタ 12__1～セクタ 12__4 に入力される SE 信号が 'H' の場合にはシフトモードに、また、この SE 信号が 'L' の場合にはキャプチャモードに切り換えられる。

【0015】図 2 は、図 1 に示すスキャンテスト回路 1 に入力される、クロック（以下、クロック CLK、または CLK と表記する）および SE 信号のタイミングチャートを示す図である。

【0016】図 2 には、当初の 'H' レベルから 'L' レベルに、その後 'L' レベルから 'H' レベルに変化する SE 信号、およびクロック CLK のクロックパルスが発生順に T1～T5 で示されている。

【0017】図 2 に示される SE 信号の当初の 'H' レベルの状態において、クロックパルス T1、T2 が発生し、その後の 'L' レベルの状態において、クロックパ

3

ルスT3が発生している。再びSE信号が‘H’レベルの状態に戻ったときにクロックパルスT4、T5が発生している。

【0018】以下、このスキャンテスト回路1におけるスキャンテストの手順について説明する。

【0019】まず、図2に示すようなSE信号‘H’が図1のスキャンテスト回路1のセクタ12__1～セクタ12__4に入力されている状態（シフトモード）において、図1のスキャンテスト回路1では、クロックCLKの図2に示すクロックパルスT1、T2の立ち上がりエッジのタイミングで、セクタ12__1を経由して、フリップフロップ10__1～フリップフロップ10__4で構成されるスキャンチェーンのうちのフリップフロップ10__1およびフリップフロップ10__2へのテストデータの送りこみが行なわれる。これらフリップフロップ10__1、フリップフロップ10__2に送りこまれたテストデータは内部回路11に送り込まれる。

【0020】次に、SE信号‘L’がスキャンテスト回路1のセクタ12__1～セクタ12__4に入力されている状態（キャプチャモード）において、スキャンテスト回路1では、図2に示すクロックパルスT3の立ち上がりエッジのタイミングで、フリップフロップ10__3およびフリップフロップ10__4への、内部回路11を経た複数のデータの並列の取り込みが行なわれる。

【0021】その後、SE信号‘H’がスキャンテスト回路1のセクタ12__1～セクタ12__4に再び入力されている状態において、このスキャンテスト回路1では、図2に示すクロックパルスT4、T5の立ち上がりエッジのタイミングで、直前のキャプチャモードにおいて内部回路11からフリップフロップ10__3およびフリップフロップ10__4に取り込まれたデータが順次シフトされることとなる。

【0022】したがって、フリップフロップ10__4からシフトされてきたデータは図1に示すSOUT（シリアルアウト）から外部に送り出されてくる。これらのシフトで送り出されてきたデータと、本来得られるはずの期待値データとが比較されることにより、内部回路11が正常に動作したか否かが判定される。

【0023】以上のようにして、テスト対象である内部回路11に対するスキャンバステストがスキャンテスト回路1で行なわれる。

【0024】ところで、近年の半導体装置の動作の益々の高速化、さらには、半導体装置の、微細化およびメタル配線多層化に伴い、例えば、コンタクトホール（VIA）の導通不良に起因する高抵抗等による遅延故障の発生率が上昇している。

【0025】内部回路に発生するこの遅延故障の検出のために、高速動作環境における上記スキャンバステストの実施の必要性が以前にも増して高まってきている。

【0026】

4

【発明が解決しようとする課題】ところが、半導体装置のスキャンテスト回路の動作を高速に行なわせ、高速動作環境におけるスキャンバステストを実施するためには、高価な高速テストが必要となり、テスト費用がアップするという問題がある。

【0027】本発明は、上記事情に鑑み、コストを抑えながら、現在の動作速度よりも高速な動作速度においてスキャンバステストを実施することができる、スキャンテスト回路が組み込まれている半導体装置を提供することを目的とする。

【0028】

【課題を解決するための手段】上記目的を達成するための本発明の半導体装置は、複数のフリップフロップを有し、内部回路からの複数のデータを所定のクロックに同期してこれら複数のフリップフロップに並列に取り込むキャプチャモードと、これら複数のフリップフロップがスキャンチェーンを構成し、所定のクロックに同期してデータを順次直列に送るシフトモードとを有するスキャンテスト回路と、外部からクロックが入力されこのクロックのクロックパルスの立ち上がり立ち下りの一方を立ち下りと立ち上がりの方とするクロックを生成するクロック生成回路と、このクロック生成回路の入力と出力との2つのクロックを入力し、シフトモードとキャプチャモードとを切り換えるスキャンイネーブル信号に応じていずれか一方のクロックを選択して、上記複数のフリップフロップのクロック入力端子に供給するセクタとを備えたことを特徴とする。

【0029】本発明の半導体装置のスキャンテスト回路では、上記構成により、シフトモードにおけるクロックの、隣接するクロックパルス間の時間間隔よりも、シフトモードからキャプチャモードへ切り換えられたときの、シフトモードにおける最終クロックパルスと、キャプチャモードにおける最初のクロックパルスとの時間間隔が短縮される。したがって、この半導体装置のスキャンテスト回路では、内部回路へのデータの送り込みから、この内部回路を経たデータの取り込みまでの時間間隔が、使用しているテストのクロックパルスの時間間隔よりも短時間となる。このため、安価なテストを用いそのテストの最高周波数のクロックよりも高速に動作したときの、内部回路に発生する遅延故障を検出することができる。

【0030】

【発明の実施の形態】以下、本発明の実施形態について説明する。

【0031】図3は、本発明の一実施形態の半導体装置の一部を示す図である。

【0032】図3には、この半導体装置の、スキャンテスト回路の一部であるスキャンテスト回路1、セクタ2、クロック生成回路3、およびスキャンテストの対象である内部回路11が示されている。

50

5

【0033】スキャンテスト回路1は、図1に示すスキャンテスト回路1と同一であり、重複する説明については省略する。

【0034】セレクト2には、図2に示すクロックCLKと同一のクロックCLKと、このクロックCLKのクロックパルスの立ち下がり立ち上がりとする、後述するクロック生成回路3で生成されるクロック（以下、クロックa、あるいはCLKaと表記する）と、スキャンテスト回路1をシフトモードあるいはキャプチャモードに切り換えるSE信号とが入力される。

【0035】セレクト2において、‘H’レベルのSE信号が入力されるとクロックaが選択され、‘L’レベルのSE信号が入力されるとクロックCLKが選択されるべく、セレクト2の端子‘1’にはクロックaが入力され、セレクト2の端子‘0’にはクロックCLKが入力される。そのため、セレクト2から、フリップフロップ10_1～フリップフロップ10_4のクロック入力端子に供給されるクロック（以下、スキャンクロック、あるいはSCANCLKと表記する）は、シフトモード時にはCLKaとなり、キャプチャモード時にはクロックCLKとなる。

【0036】クロック生成回路3は、フリップフロップ5、2つのインバータ6_1、6_2、OR回路7、電源電圧で構成されている。

【0037】クロック生成回路3のフリップフロップ5には、クロック入力端子K1、信号入力端子D1、信号出力端子Q1、信号出力端子Q2、およびリセット端子R1が備えられている。

【0038】このフリップフロップ5のクロック入力端子K1には外部からのクロックCLKが供給されており、このフリップフロップ5は、供給されるクロックCLKの立ち下りで動作する。フリップフロップ5の信号入力端子D1には電源電圧が印加されており、この信号入力端子D1には電源電圧による‘H’レベルの信号が常に伝達されている。フリップフロップ5の信号出力端子Q1はセレクト2の端子‘1’に接続されており、この信号出力端子Q1から出力される信号がCLKaとなる。信号出力端子Q2は2つのインバータ6_1、6_2を経由してOR回路7の入力端子に接続されている。この信号出力端子Q2からは、信号出力端子Q1から出力される信号の反転信号が出力される。OR回路7のもう1つの入力端子にはクロックCLKが接続されており、このOR回路7の出力端子はフリップフロップのリセット端子R1に接続されている。リセット端子R1は、OR回路7から入力される信号の立ち下りで、フリップフロップ5をリセットする。

【0039】図4は、クロック生成回路3のフリップフロップ5の、各端子に入力される信号、あるいは各端子から出力される信号のタイミングチャートを示す図である。

6

【0040】図4には、クロック入力端子K1に入力されるクロックCLK、信号入力端子D1に入力される信号、信号出力端子Q1から出力される信号、信号出力端子Q2から出力される信号、OR回路7に入力される信号（図4に示される‘T’信号）、およびリセット端子R1に入力される信号が示されている。

【0041】次に、図3に示すクロック生成回路3におけるクロックaの生成について説明する。

【0042】図4に示すクロックCLKの立ち下がりタイミング20で、信号入力端子D1からの‘H’レベルの信号が信号出力端子Q1から出力される。これと同時に信号出力端子Q2からは、信号出力端子Q1から出力される信号の反転信号である‘L’レベルの信号が出力される。OR回路7に入力される信号（図4に示す‘T’信号）は、2つのインバータ6_1、6_2を通過することにより、信号出力端子Q2から出力される信号に対し遅延した信号となっている。OR回路7からリセット端子R1に入力される信号は、タイミング21で‘L’レベルの信号となり、これと同時にフリップフロップ5はリセットされる。このため、それまで‘H’レベルの信号だった信号出力端子Q1から出力される信号はこのタイミング21と同時に‘L’レベルの信号となる。次のクロックCLKの立ち下りタイミング22において、信号入力端子D1からの前述した‘H’レベルの信号が信号出力端子Q1から再び出力され、上記を繰り返すことによりクロックaを生成する。

【0043】図5は、SE信号、クロックCLK、CLKa、およびスキャンクロックのタイミングチャートを示す図である。

【0044】図5には、図2に示したタイミングチャートと同期して、クロック生成回路3により生成されたCLKa、およびSE信号によりセレクト2で選択されるスキャンテスト回路1に供給されるスキャンクロックが示されている。このスキャンクロックのクロックパルスが、発生順にT6、T7、C1、T8、T9で示されている。

【0045】図5に示されるSE信号の当初の‘H’レベルの状態において、クロックパルスT6、T7が発生し、その後の‘L’レベルの状態において、クロックパルスC1が発生している。再びSE信号が‘H’レベルの状態に戻ったときにクロックパルスT8、T9が発生している。

【0046】ここで、スキャンテスト回路1によりスキャンテストを行うにあたり、図5に示す‘H’レベルのSE信号が、図3のスキャンテスト回路1のセレクト12_1～セレクト12_4およびセレクト2に入力される。これにより、スキャンテスト回路1は図5に示すようにシフトモードに切り換えられ、セレクト2は、クロックaを選択し、スキャンテスト回路1のフリップフロップ10_1～フリップフロップ10_4のクロック入

7

力端子にクロックパルスT6、T7を順次供給する。

【0047】スキャンテスト回路1には、クロックパルスT6、T7の立ち上がりエッジのタイミングで、図3のフリップフロップ10_1～フリップフロップ10_4からなるスキャンチェーンのうちのフリップフロップ10_1およびフリップフロップ10_2にテストデータが順次直列に送り込まれ、これらのフリップフロップ10_1およびフリップフロップ10_2に送りこまれたテストデータが内部回路11に送り込まれる。このスキャンテスト回路1では、クロックパルスT7の立ち上

がりエッジのタイミングにおけるテストデータの送り込みにより、図3の内部回路11への所望のテストデータの送り込みを完了したことになる。尚、図5に示すように、クロックパルスT6の立ち上がりエッジからクロックパルスT7の立ち上がりエッジまでの時間間隔をTsとする。

【0048】次に、図5に示す‘L’レベルのSE信号が、スキャンテスト回路1のセクタ12_1～セクタ12_4およびセクタ2に入力される。これにより、図3のスキャンテスト回路1では、シフトモードからキャプチャモードへの切り換えが行なわれ、セクタ2はクロックCLKを選択し、クロックパルスC1をフリップフロップ10_1～フリップフロップ10_4のクロック入力端子に供給する。このクロックパルスC1の立ち上がりエッジのタイミングで、内部回路11を経たデータがフリップフロップ10_3およびフリップフロップ10_4に並列に取りこまれる。尚、図5に示すように、クロックパルスT7の立ち上がりエッジからクロックパルスC1の立ち上がりエッジまでの時間間隔をTcとする。

【0049】この時間間隔Tcは、クロックパルスT6の立ち上がりエッジからクロックパルスT7の立ち上がりエッジまでの時間間隔、すなわちクロックCLKの周期である時間間隔Tsに比べ短縮されている。

【0050】その後、SE信号が‘L’レベルから‘H’レベルに変化することにより、スキャンテスト回路1はキャプチャモードからシフトモードに再度切り換えられる。同時に、セクタ2はクロックaを再度選択し、図5に示すクロックパルスT8、T9をフリップフロップ10_1～フリップフロップ10_4のクロック入力端子に順次供給する。クロックパルスT8、T9の立ち上がりエッジのタイミングで、内部回路11からフリップフロップ10_3およびフリップフロップ10_4に取り込まれていたデータが順次シフトされ押し出されてくる。

【0051】このシフトで押し出されてきたデータと、本来得られるはずの期待値データとを比較することで内部回路が正常に動作したか否かが判定される。

【0052】つまり、このスキャンテスト回路1では、このように外部から入力されているクロックCLKの周

8

期であるTsよりも短い時間間隔である時間間隔Tcで、フリップフロップ10_3およびフリップフロップ10_4への最終テストデータのセットから、内部回路11を経たデータの取り込みまでを行うことができる。

【0053】このため、安価なテストを用いそのテストの最高周波数のクロックよりも高速に動作したときの、内部回路に発生する遅延故障を検出することができる。

【0054】図6は、クロックaと同様、クロックCLKのパルス信号の立ち下がり立ち上がりとするパルス信号を生成するクロック生成回路4の回路図等を示す図である。

【0055】図6には、クロック生成回路4の他に、セクタ2も示されている。

【0056】図6に示されるクロック生成回路4は、3つのインバータ8_1、8_2、8_3と1つのNOR回路9で構成されている。

【0057】NOR回路9の入力側には、クロックCLKと、3つのインバータ8_1、8_2、8_3を経由したクロックCLKとが接続されている。NOR回路9の出力側は、セクタ2の端子‘1’に接続されている。

【0058】図7は、クロックCLK、3つのインバータ8_1、8_2、8_3を経由したクロックCLK（図7に示す、信号‘U’）、およびNOR回路9から出力される信号（図7に示す、信号‘W’）のタイミングチャートを示す図である。

【0059】3つのインバータ8_1、8_2、8_3を経由してNOR回路9に入力されるクロックCLK（図7に示す信号‘U’）は、もう一方のNOR回路9への入力であるクロックCLKを反転し、遅延させた信号となる。これらの信号が入力されたNOR回路9では、図7に示す信号‘W’が出力される。この信号‘W’は、クロックaと同様、クロックCLKの立ち下りを立ち上がりとする信号となる。

【0060】この実施形態では、立ち上がりエッジを動作のタイミングとしているが、スキャンクロックのクロックパルスの立ち下がりとそのタイミングとしてもよい。

【0061】また、この実施形態では、シフトモードにおいてCLKaを、キャプチャモードにおいてCLKを選択しているが、シフトモードにおいてCLKを、キャプチャモードにおいてCLKaを選択してもよい。

【0062】以上の実施形態においては、外部からのクロックCLKの立ち下がり立ち上がりとするクロックaを生成して、このクロックaとクロックCLKを選択しているが、クロックCLKを入力して、そのクロックCLKの、立ち上りを立下がりとするクロック、立ち上りを立ち上がりとするクロック、あるいは立下がりを立下がりとするクロックのいずれかを生成し、その生成したクロックとクロックCLKを選択し、シフトモ

9

ドからキャプチャモードに切り換えられたときの、シフトモードにおける最終のクロックパルスと、キャプチャモード時に選択するクロックの最初のクロックパルスとの時間間隔をもととのクロックの周期よりも短くするものであればよい。

【0063】

【発明の効果】以上説明したように、本発明の半導体装置によれば、廉価で低速なテストを使用してスキャンテストを行った場合でも、内部回路へのテストデータの送り込み完了後の、内部回路を経たデータの取り込みを、
10 高速に行なうことができる。このため、廉価なテストで高速動作時の遅延故障を検出することができる。また、本発明の半導体装置では、面積や他の性能をほとんど犠牲にすることなく以上を実現することができる。

【図面の簡単な説明】

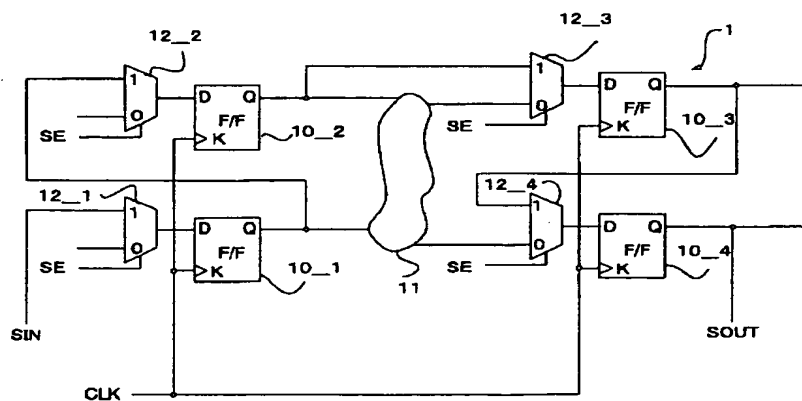
【図1】従来の半導体装置に組み込まれているスキャンテスト回路の一部を示す図である。

【図2】クロックとスキャンイネーブル信号とのタイミングチャートを示す図である。

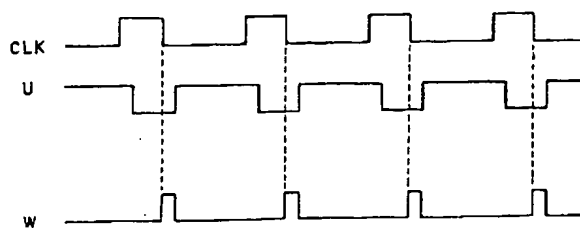
【図3】本発明の一実施形態の半導体装置の一部を示す
20 図である。

【図4】図3におけるクロック生成回路のフリップフロ*

【図1】



【図7】



10

*アップ各端子における信号のタイミングチャートを示す図である。

【図5】SE信号、クロックCLK、クロックa、およびスキャンクロックのタイミングチャートを示す図である。

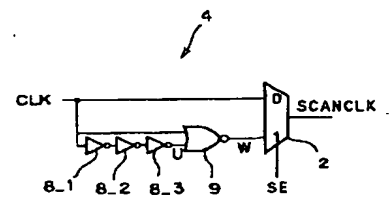
【図6】他のクロック生成回路の一例を示す回路図である。

【図7】クロック生成回路における信号のタイミングチャートを示す図である。

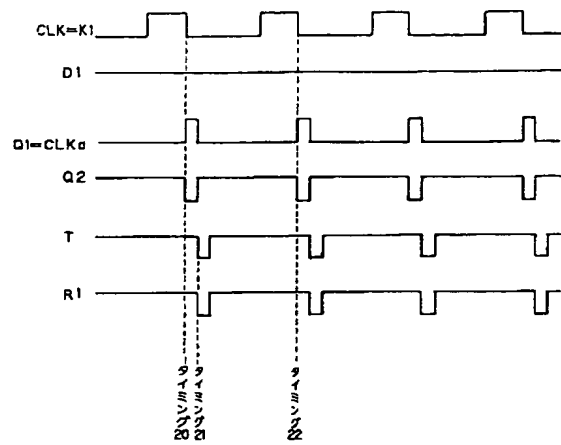
【符号の説明】

- 1 スキャンテスト回路
- 2 セレクタ
- 3、4 クロック生成回路
- 5 フリップフロップ
- 6_1、6_2 インバータ
- 7 OR回路
- 8_1、8_2、8_3 インバータ
- 9 NOR回路
- 10 フリップフロップ
- 11 内部回路
- 12 セレクタ

【図6】



【図4】



【図5】

